

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-138951

(43)Date of publication of application : 13.06.1991

(51)Int.Cl.

H01L 21/336

H01L 21/265

H01L 29/784

(21)Application number : 01-277417

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 24.10.1989

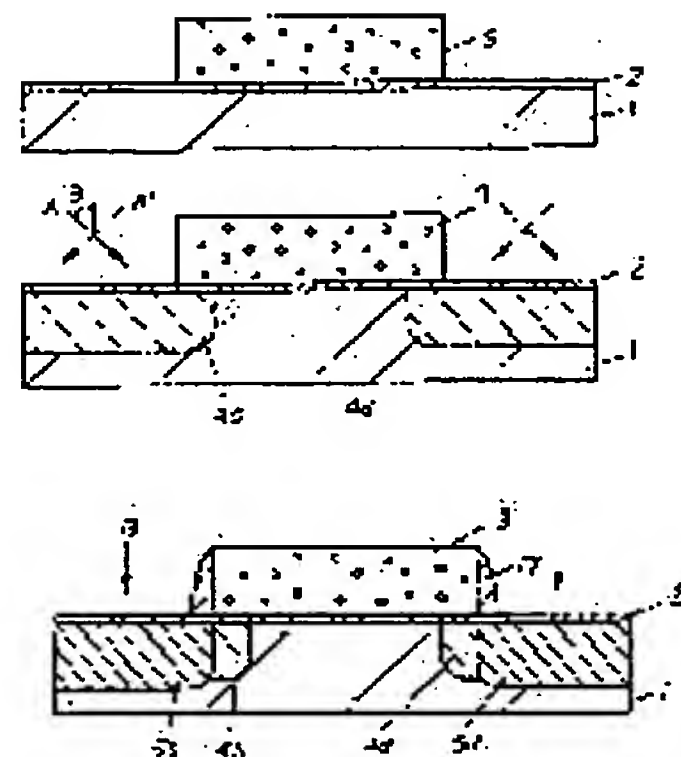
(72)Inventor : HORI TAKASHI

## (54) MANUFACTURE OF MOS-TYPE TRANSISTOR

## (57)Abstract:

**PURPOSE:** To obtain a device having both high performance and high reliability by inclining the angle between the surface of a semiconductor substrate and the surface which is orthogonal to an ion beam, and multiplying the rotary angle of the semiconductor substrate for every one time of the (n) times of total ion implantations by the integer times of about 360 degrees/n.

**CONSTITUTION:** As a step for forming first and second source and drain regions 4s and 4d and 5s and 5d, the angle between the surface of a semiconductor substrate 1 and the surface which is orthogonal to an ion beam is inclined. The plane of the semiconductor substrate 1 is rotated with respect to a beam scanning plane, or the angle between the surface of the semiconductor substrate 1 and the surface which is orthogonal to the ion beam is inclined. Ions are implanted by (n) times all together. The rotating angle of the semiconductor substrate 1 for every one ion implantation is multiplied by integer times of about 360 degrees/n. In this way, the conditions wherein the ion implanting angles and the impurity-concentrations are different are used, and the width of an insulating film covering the side surface of a gate electrode is made thin so that at least a part of the second source and drain regions 5d and 5s is located directly beneath the gate electrode 3. Thus, the device having both high performance and high reliability can be realized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office . ,

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-138951

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月13日

H 01 L 21/336  
21/265  
29/784

8422-5F  
7738-5F  
7738-5F

H 01 L

29/78  
21/265

3 0 1 L  
V  
L

審査請求 未請求 請求項の数 2 (全13頁)

⑮ 発明の名称 MOS形トランジスタの製造方法

⑯ 特 願 平1-277417

⑰ 出 願 平1(1989)10月24日

⑱ 発 明 者 堀 隆 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
⑳ 代 理 人 弁理士 栗野 重孝 外1名

#### 明 細 書

##### 1. 発明の名称

MOS形トランジスタの製造方法

##### 2. 特許請求の範囲

半導体基板表面のMOS形トランジスタ領域となる部分に形成されたゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極をマスクとしてチャンネル幅方向には垂直でチャンネル長方向にはソース及びドレインに入り込むように傾けて、両方向から前記半導体基板表面にイオン注入を行ない第1のソース及びドレイン領域を形成する工程と、前記ゲート電極側面を覆うように絶縁膜を形成する工程と、前記側面を絶縁膜でおおわれたゲート電極をマスクとして、前記第1のソース及びドレイン領域と同様の方法でイオン注入角度と不純物濃度の異なる第2のソース及びドレイン領域を形成する工程と、その後、前記第1,2のソース及びドレイン領域が形成された半導体基板を熱処理する工程とを備え、前記ゲート電極の側面を覆う絶縁膜の幅が前記第2のソース及びドレ

イン領域の少なくとも一部が前記ゲート電極の直下に位置するように薄く、前記第1,2のソース及びドレイン領域を形成する工程として前記半導体基板表面とイオンビームに垂直な面との角度を傾け、前記半導体基板ビームスキャン面に対して平面自回転させるか、または前記半導体基板表面とイオンビームに垂直な面との角度を傾け全部n回のイオン注入における1回ごとの前記半導体基板の回転角度を約360度/nの整数倍とすることを特徴とするMOS形トランジスタの製造方法

(2) 第1の導電型の半導体基板に選択的に形成されたMOS形トランジスタ領域となる部分に第2の導電形のチャンネル領域を形成する工程と、前記チャンネル領域を有する前記半導体基板表面のMOS形トランジスタ領域となる部分に形成されたゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート絶縁膜及びゲート電極をマスクとして、前記半導体基板表面を傾けてイオン注入を行ない第1の導電型の高濃度不純物層を前記チャンネル領域の下部の一部を含むごとく形成する工程と、前

記ゲート電極側面を覆うように絶縁膜を形成する工程と、前記側面を絶縁膜で覆われたゲート電極をマスクとして前記第1の導電型の不純物層と同様の方法でイオン注入角度と不純物濃度の異なる第2の導電型のソース及びドレイン領域を形成する工程と、その後、前記第1の導電型の不純物層と前記第2の導電型のソース及びドレイン領域が形成された半導体基板を熱処理する工程とを備え、前記ゲート電極の側面を覆う絶縁膜の幅が前記第2の導電型のソース及びドレイン領域の少なくとも一部が前記ゲート電極の直下に位置するように薄く、前記第1の導電型の不純物層及び前記第2の導電型のソース及びドレイン領域を形成する工程として前記半導体基板表面とイオンビームに垂直な面との角度を傾け、前記半導体基板をビームスキャン面に対して平面自回転させるか、または前記半導体基板表面とイオンビームに垂直な面との角度を傾け全部で $n$ 回のイオン注入における1回ごとの前記半導体基板の回転角度を約 $360^\circ/n$ の整数倍とすることを特徴とするMOS形トラン

ジスタの製造方法。

### 3. 発明の詳細な説明

#### 産業上の利用分野

本発明は大傾角イオン注入を用い高密度化・高速化・高信頼性を備えたMOS形トランジスタの製造方法に関する。

#### 従来の技術

従来の特に $n$ チャンネルMOS形トランジスタの製造方法では、ドレイン耐圧等に対する高信頼性を得るために、ゲート電極形成後、前記ゲート電極をマスクとして低濃度のイオン注入を行ない第1のソース及びドレイン領域を形成し、その後絶縁膜により前記ゲート電極の側面にサイドウォールを形成し、前記ゲート電極及びサイドウォールをマスクとして高濃度イオン注入を行なうことにより、第2のソース及びドレイン領域を形成し、LDD(Lightly Doped Drain)構造を有するMOS形トランジスタを形成していた(例えばアイイーイーイー トランザクション オン エレクトロニクス デバイシズ IEEE TRANSACTIONS ON ELECTRON DEVI

ICES, Vol. ED-29, No. 4, April 1982)。以下にそのプロセス工程の一例として $n$ チャンネルLDD構造MOS形トランジスタの製造方法を第12図を用いて説明する。まず、 $P$ 形半導体基板1に素子分離工程を行なった後、ゲート絶縁膜2の形成を行ない、ポリシリコン膜を堆積した後エッチングしてゲート電極3を形成する(第12図(a))。次にLDD領域( $n$ -層)4s, 4dを形成するため、ゲート電極3をマスクとして低濃度イオン注入A(ここではリン)を行なう(第12図(b))。この後、CVD-SiO<sub>2</sub>膜6を形成し(第12図(c))、CVD-SiO<sub>2</sub>膜6を異方性エッチングし、平坦部に形成されたCVD-SiO<sub>2</sub>膜6を除去し、ゲート電極3の周辺部にCVD-SiO<sub>2</sub>膜6によるサイドウォール7を形成する(第12図(d))。次に本来のソース及びドレイン領域( $n$ +層)5s, 5dを形成するために、ゲート電極3及びサイドウォール7をマスクとして高濃度イオン注入B(ここではヒ素)を行なう(第12図(e))。この際、CVD-SiO<sub>2</sub>膜6によるサイドウォール7が半導体基板1表面へのイオン注入

を阻み、ソース及びドレイン領域( $n$ +層)5s, 5dとチャンネルの間にLDD領域( $n$ -層)4s, 4dが残される。最後に熱処理を行ない第12図(e)に示す $n$ チャンネルLDD構造MOS形トランジスタが形成される。以上のように従来のLDD構造MOS形トランジスタにおいては、LDD構造を有する構造にすることにより、LDD領域( $n$ -層)4s, 4dがドレイン電界を緩和する役割を果たし、ドレイン耐圧等に高信頼性が得られる。一方、 $n$ +ポリSiゲートを用いた $p$ チャンネルMOS形トランジスタではソース及びドレイン領域と同じ導電形の埋込みチャンネル構造を使用している。しかし、このような埋込みチャンネルトランジスタでは、チャンネル長の微細化に伴い短チャンネル効果が現われやすく、ソースとドレイン領域が短絡する(パンチスルー現象)ことが大きな傷害となっている。この埋込みチャンネル構造に加えて、 $p$ +ソース及びドレイン領域が通常のボロン(B)によって形成される場合、ボロンの拡散係数が大きくゲート端からの横方向の入り込み及びソース

及びドレイン接合深さが共に大きくなることもパンチスルーが起こり易いことの原因である。そこで上記課題に対処するため、特公昭61-160976号公報に開示されているように第13図のようなE P S (Effective Punchthrough Stopper)を用いたpチャネルM O S形トランジスタ構造になっていた。即ち、サイドウォールを設けてゲート電極端とp+ソース及びドレイン領域端のオーバーラップ長を最小にし、それに近接してE P S領域(n+層)を設けるものである。以下にそのプロセス工程の一例としてpチャネルE P S構造M O S形トランジスタの製造方法を第13図を用いて説明する。まず、n形半導体基板またはnウェル8に素子分離工程を行なった後、p形埋込みチャンネル9を形成する。その後、ゲート絶縁膜2の形成を行ない、ポリシリコン膜を堆積した後、エッチングしてゲート電極3を形成する(第13図(a))。次にE P S領域(n+層)10s, 10dを形成するため、ゲート電極3をマスクとして低濃度イオン注入Aを(ここではリン)を行なう(第13図(b))。この後、C V D

-SiO<sub>2</sub>膜6を形成し(第13図(c))、C V D-SiO<sub>2</sub>膜6を異方性エッチングし、平坦部に形成されたC V D-SiO<sub>2</sub>膜6を除去し、ゲート電極3の周辺部にC V D-SiO<sub>2</sub>膜6によるサイドウォール7を形成する(第13図(d))。次に本来のソース及びドレイン(p+層)11s, 11dを形成するために、ゲート電極3及びサイドウォール7をマスクとして高濃度イオン注入B(ここではBF<sub>3</sub>またはB)を行なう(第13図(e))。この際、サイドウォール7が半導体表面へのイオン注入を阻み、ソース及びドレイン領域(p+層)11s, 11dとE P S領域(n+層)10s, 10dが形成される。最後に熱処理を行ない第13図(e)に示すpチャネルE P S構造M O S形トランジスタが形成される。以上のように従来のE P S構造M O S形トランジスタにおいては、E P S領域を有する構造にすることにより、E P S領域(n+層)10s, 10dがドレイン電圧によるドレイン領域11dからのポテンシャルの伸びを抑制する役割を果たし、短チャンネル効果やパンチスルー現象を抑える等の効果を有する。

#### 発明が解決しようとする課題

しかし、従来のL D D構造M O S形トランジスタは、第12図(e)に示すように、一般にL D D領域(n-層)4s, 4dの大部分がゲート電極3の直下ではなくその外側に位置するため、ゲート電極3の外側に位置するL D D領域がピンチオフし、高抵抗層になりやすい。そのため従来の単一ソース/ドレイン構造M O S形トランジスタに比べL D D構造M O S形トランジスタは、以下のような欠点を有する。

(1) 上記高抵抗層が直列に介在するため駆動電流が低下する。第4図(b)はチャンネル長0.25 $\mu$ mを有する従来の典型的なL D D構造(イオン注入Aの条件: エネルギー40KeV、ドーズ量 $1 \times 10^{13}$ cm<sup>-2</sup>、サイドウォール7の横方向膜厚0.15 $\mu$ m) M O S形トランジスタの飽和電流特性を示したものであるが、著しい駆動電流の低下がみられる。

(2) ホットエレクトロンがサイドウォール7に注入されることにより、そのサイドウォール7直下のn-層4s, 4dがピンチオフし、著しく高

抵抗化する。そのため従来の単一ソース/ドレイン構造M O S形トランジスタに比べて、駆動電流のホットエレクトロンによる劣化が著しく早く起こり、信頼性上の大きな問題となっている。第8図にこの様子を同じチャンネル長0.25 $\mu$ mを有する従来の単一ソース/ドレイン構造及び典型的なL D D構造M O S形トランジスタについて示す。一方、E P S構造のM O S形トランジスタにおけるほぼ垂直に近い(チャネリング防止のため、通常7°傾ける)イオン注入AではE P S領域10s, 10dのゲート電極3端よりの入り込みは少なく、その後の高濃度イオン注入B及び熱処理によるソース及びドレイン領域11s, 11dの横方向への拡散によってE P S領域10s, 10dが減少し易く、これを阻止するため0.25 $\mu$ m程度の比較的厚いサイドウォール7を形成することが不可欠であった。このため、サイドウォール7がなく高濃度イオン注入Bをゲート電極3によって自己整合的に行なうことによりソース及びドレイン領域11s, 11d端はゲート電極3端とほぼ一致する従来の単一ソース/ド



レイン構造MOS形トランジスタに比べEPS構造MOS形トランジスタは、以下のような欠点を有する。

(1) サイドウォール7の幅や熱処理後のソース及びドレイン領域11s, 11dの横方向の入り込みの制御には、工程的にある程度のバラツキが生じ、ソース及びドレイン領域11s, 11dの端がゲート電極3の外になって互いに重なり合わない場合も容易に起こり得る。しかしこのような場合、ゲート電極3直下外の所にもチャネル領域が形成されることになり、この部分のチャネル領域のゲート制御性は著しく低下し、ピンチオフする結果、著しく高抵抗化するために起こる駆動電流の低下やこの部分が高電界になるためにホットキャリアによる劣化が従来の単一ソース/ドレイン構造のものと比べ大きな問題となる。

(2) 同じゲート電極3の幅で比較すると、第13図におけるEPS構造のMOS形トランジスタの実効チャンネル長はサイドウォール7の幅の2倍だけ長くなり、そのため駆動電流の低下を引き

起こす。さらに、第12図におけるLDD構造MOS形トランジスタ及び第13図のEPS構造MOS形トランジスタは従来の単一ソース/ドレイン構造MOS形トランジスタに比べ、以下の問題点を有する。即ち、ソース及びドレイン領域を形成する工程では、イオン注入時における不純物のチャネリング効果を避けるために半導体表面の垂直方向に対して一定の傾斜角（一般に7°前後）をもってイオン注入を行っていた。このため、ゲート電極に対してドレイン（またはソース）領域側からイオン注入を行なうと、反対側のソース（またはドレイン）領域のゲート電極に隣接する部分が陰となって不純物が注入されず、トランジスタ構造が非対称形状となりソースまたはドレインの向きによりトランジスタ特性に非対称性が生じてしまうという問題点を有していた。このような非対称性の問題は本来のソース及びドレインのような高濃度層に対しては殆ど無視できるが、第12図におけるLDD領域(n-層)4s, 4dや、第13図におけるEPS領域(n+層)10s, 10dの場合が顕著

であることが知られている。

課題を解決するための手段

本発明(1)は半導体基板表面のMOS形トランジスタ領域となる部分に形成されたゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極をマスクとしてチャンネル幅方向には垂直でチャンネル長方向にはソース及びドレインに入り込むように傾けて、両方向から前記半導体基板表面にイオン注入を行ない第1のソース及びドレイン領域を形成する工程と、前記ゲート電極側面を覆うように絶縁膜を形成する工程と、前記側面を絶縁膜でおおわれたゲート電極をマスクとして、前記第1のソース及びドレイン領域と同様の方法でイオン注入角度と不純物濃度の異なる第2のソース及びドレイン領域を形成する工程と、その後前記第1, 2のソース及びドレイン領域が形成された半導体基板を熱処理する工程とを備え、前記ゲート電極の側面を覆う絶縁膜の幅が前記第2のソース及びドレイン領域の少なくとも一部が前記ゲート電極の直下に位置するように薄く、前記第1

第2のソース及びドレイン領域を形成する工程として前記半導体基板表面とイオンビームに垂直な面との角度を傾け、前記半導体基板をビームスキャン面に対して平面自回転させるか、または前記半導体基板表面とイオンビームに垂直な面との角度を傾け全部でn回のイオン注入における1回ごとの前記半導体基板の回転角度を約360度/nの整数倍とすることを特徴とするMOS形トランジスタの製造方法である。また本発明(2)は、第1の導電型の半導体基板に選択的に形成されたMOS形トランジスタ領域となる部分に第2の導電型のチャネル領域を形成する工程と、前記チャネル領域を有する前記半導体基板表面のMOS形トランジスタ領域となる部分に形成されたゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート絶縁膜及びゲート電極をマスクとして、前記半導体基板表面を傾けてイオン注入を行ない第1の導電型の高濃度不純物層を前記チャネル領域の下部の一部を含むごとく形成する工程と、前記ゲート電極側面を覆うように絶縁膜を形成する工程と、

前記側面を絶縁膜で覆われたゲート電極をマスクとして前記第1の導電型の不純物層と同様の方法でイオン注入角度と不純物濃度の異なる第2の導電型のソース及びドレイン領域を形成する工程とその後、前記第1の導電型の不純物層と前記第2の導電型のソース及びドレイン領域が形成された半導体基板を熱処理する工程とを備え、前記ゲート電極の側面を覆う絶縁膜の幅が前記第2の導電型のソース及びドレイン領域の少なくとも一部がゲート電極の直下に位置するように薄く、前記第1の導電型の不純物層及び前記第2の導電型のソース及びドレイン領域を形成する工程として前記半導体基板表面とイオンビームに垂直な面との角度を傾け、前記半導体基板をビームスキャン面に対して平面自回転させるか、または前記半導体基板表面とイオンビームに垂直な面との角度を傾け全部で $n$ 回のイオン注入における1回ごとの前記半導体基板の回転角度を約 $360^\circ/n$ の整数倍とすることを特徴とするMOS形トランジスタの製造方法である。

ンネルMOS形トランジスタの製造方法を示す工程断面図である。以下、第1図を用いて本発明の第1の実施例における $n$ チャンネルMOS形トランジスタの製造方法を説明する。まず、 $p$ 形半導体基板1（ここでは $p$ 形Si）表面にゲート絶縁膜2を形成した後、ポリシリコン膜の形成を行なった後、異方性エッチングによりゲート電極3を形成する（第1図(a)）。次に、ゲート電極3をマスクとしてイオン注入を行ないLDD領域となる第1のソース領域4s及びドレイン領域4d（ここでは不純物としてリンを打ち込み $n$ -層を形成する）を形成する（第1図(b)）。ここでは不純物がゲート絶縁膜2下に大きく入り込むように、半導体基板1表面に対して垂直な方向とイオン注入方向からなるイオン注入角度 $\theta$ を $20^\circ \sim 45^\circ$ として打ち込む。まず、チャンネル幅方向には垂直で、チャンネル長方向にはソース方向に入り込むように傾けて半導体基板1表面に打ち込み（第1図(b)の実線の矢印A）、次にもう一方のドレイン方向に入り込むように傾けて打ち込み（第1図(b)の破線の矢印

作用

本発明(1)は上述の構成により、第1のソース及びドレイン領域と第2のソース及びドレイン領域の形成方法としてイオン注入角度と不純物濃度が異なる条件を用い、ゲート電極の側面を覆う絶縁膜の幅を第2のソース及びドレイン領域の少なくとも一部がゲート電極の直下に位置するように薄くしているため、高性能かつ高信頼性を合せ持つデバイスが実現できる。また、本発明(2)は上述の構成により、第1の導電型の不純物層と第2の導電型のソース及びドレイン領域の形成方法としてイオン注入角度と不純物濃度が異なる条件を用い、ゲート電極の側面を覆う絶縁膜の幅を第2の導電型のソース及びドレイン領域の少なくとも一部がゲート電極の直下に位置するように薄くしているため、高性能かつ高信頼性を合せ持つデバイスが実現できる。

実施例

(実施例1)

第1図は本発明の第1の実施例における $n$ チャ

A')、所望の不純物イオン注入量を達成する。ここではリンを用いる。その後、膜厚が $0.05\mu\text{m}$ のCVD-SiO<sub>2</sub>膜16を形成した（第1図(c)）後、CVD-SiO<sub>2</sub>膜16を異方性エッチングし、平坦部に形成されたCVD-SiO<sub>2</sub>膜16を除去して、ゲート電極3の周辺部にCVD-SiO<sub>2</sub>膜16による幅 $0.05\mu\text{m}$ のサイドウォール17を形成する（第1図(d)）。その後、本来のソース及びドレイン領域( $n$ +層)5s, 5dを形成するために、サイドウォール17を有するゲート電極3をマスクとして第1図(e)の示すごとくイオン注入B（ここではヒ素）を行なう。ここで不純物のゲート絶縁膜2下へ入り込む量を少なくし、かつ注入時のチャネリング効果を防止するために、イオン注入角度を半導体表面に対して垂直な方向を、イオン注入方向に対して $7^\circ$ 傾けて、ソース及びドレイン方向の両側から均等に入り込むように打ち込む。この際、CVD-SiO<sub>2</sub>膜16によるサイドウォール17が半導体基板1表面へのイオン注入を阻み、ソース及びドレイン領域( $n$ +層)5s, 5dとチャンネルの間にLDD領域( $n$ -層)4s, 4

dが残される。最後に短時加熱処理(1000℃,10秒)を行ない第1図(e)に示すnチャネルLDD構造MOS形トランジスタが形成される。第2図に本発明の第1の実施例におけるnチャネルMOS形トランジスタの短時加熱処理工程後のシリコン基板表面近傍の不純物濃度プロファイルの計算例を示す。この場合、サイドウォール17の幅は $0.05\mu\text{m}$ であり短時加熱処理(1000℃,10秒)によってゲート電極3端からのn+層5s,5dの横方向入り込みは約 $0.02\mu\text{m}$ に抑制されている。一方、この場合のn-層4s,4d形成用のリンイオン注入A,A'条件は、イオン注入角度 $45^\circ$ 、注入エネルギー60KeV、ドーズ量 $4 \times 10^{12}\text{cm}^{-2}$ であり、この時のn-層4s,4dのゲート電極3端からの入り込み $L_{\text{ion}}$ は約 $0.12\mu\text{m}$ である。その結果 $0.1\mu\text{m}$ 以上のn-層4s,4dの横方向長さ $l_n$ が従来のLDD構造の $0.15\mu\text{m}$ 以上の厚いサイドウォールに比べ、非常に薄い $0.05\mu\text{m}$ 程度の場合でも実現できることがわかる。第3図は熱処理前のn-層4s,4dの入り込み $L_{\text{ion}}$ 、イオン注入角度及びエネルギー依存性を示す。こ

として、一方、第1図(e)におけるn-層4s,4dの長さは、約 $0.1\mu\text{m}$ で十分なドレイン電界の緩和効果を示すので、n-層4s,4d形成のためのイオン注入A,A'はn-層4s,4dのゲート電極3端よりの入り込み距離 $L_{\text{ion}}$ を $0.1\mu\text{m}$ となるように、第3図の注入条件の範囲から選ぶことができる。その一方で第1図(e)に見られるように、第2のソース及びドレイン領域5s,5dの少なくとも一部は必ずゲート電極3の直下になり、言い換えると、n-領域4s,4dは全てゲート電極3の直下になり、決してゲート電極3の外に存在しない構造が得られる。そのため従来のLDD構造MOS形トランジスタの欠点であるゲート電極3の外側n-領域がピンチオフすることがなく、高性能かつ高信頼性を合せ持つデバイスが実現できる。さらに本実施例によれば、LDD構造ソース4s及びドレイン領域4dをサイドウォール形成工程なしに形成できると共に、ゲート電極3下に全て形成できる。さらにLDD構造ソース4s及びドレイン領域4dをゲート電極3に対して対称形状

の場合リンをドーズ量 $4 \times 10^{12}\text{cm}^{-2}$ で注入する。各注入エネルギーにおいて注入角度 $\theta$ が増えるにつれて、 $L_{\text{ion}}$ も急激に増加し、やがて注入角度 $\theta$ が $45^\circ$ 以上になると飽和傾向を示すようになる。例えば、80KeVの注入エネルギーの場合、通常のイオン注入工程で一般的に採用されている $7^\circ$ の注入角度において $L_{\text{ion}}$ が約 $0.07\mu\text{m}$ であったものが、注入角度 $\theta$ が $45^\circ$ になると約 $0.15\mu\text{m}$ と2倍以上増加している。大傾角(Large-tilt-angle)イオン注入法のこのような能力が、従来のLDD構造に較べて非常に薄いサイドウォールの場合でも実用的に $L_{\text{ion}}$ が十分長いLDD領域(n-層)4s,4dの形成が実現できる理由である。サイドウォール17の横方向幅は、サイドウォール17を有するゲート電極3、即ちイオン注入Bにおけるマスク端からのn+層5s,5dの入り込み距離(熱処理工程に短時加熱炉を用いて1000℃,10秒の熱処理を行なった場合、約 $0.05\mu\text{m}$ )以下にする。ここでは、LDD領域(n-層)4s,4dの全領域がゲート電極3の直下にくるようにするため、サイドウォール17幅を $0.05\mu\text{m}$

に形成することにより、電気的に対称的な同一のトランジスタ特性を得ることができる。次に、第1図の実施例により実際に試したMOS形トランジスタにおける実験結果例を示す。第4図は従来及び本発明によるMOS形トランジスタの飽和電流特性図である。第4図(b)の駆動電流特性で示されるように、従来のLDD構造MOS形トランジスタが、ゲート電極の外側に存在するn-層のピンチオフによる、直列抵抗の増加により、単一ソース/ドレイン構造の場合に較べて、著しい駆動電流の低減が認められる一方、本発明にかかる一実施例の場合には第4図(a)からそのような低減は無く、端一ソース/ドレイン構造のMOS形トランジスタと同等の優れた駆動電流特性を示していることが判る。第5図は従来及び本発明によるMOS形トランジスタを用いた43ステージのCMOSリングオシレータゲート遅延時間特性図である。上記駆動電流の増加に伴なり第5図に示すように従来のLDD構造に較べ、やはり著しい動作速度の向上が、本発明にかかる一実施例の場合に見る



ことができる。これは LDD構造に特有なゲート電極外側に存在する n-層のピンチオフによる高抵抗化が本発明にかかる実施例においては回避されており、かつ、ゲートとソース及びドレイン間のオーバーラップ長さが従来の単一ソース/ドレイン構造の MOS 形トランジスタ並みに短かく抑制されている為である。第 8 図は従来及び本発明による MOS 形トランジスタのホットキャリアによるドレイン電流の劣化特性図である。一方第 6 図より判るように、本発明の一実施例にかかる MOS 形トランジスタは、従来の単一ソース/ドレイン及び LDD の両構造に比べ、著しくデバイス特性の劣化が抑制されていることが判る。単一ソース/ドレイン構造の場合に比べて、10% の駆動電流劣化に達する寿命は約 4 ケタ改善されており、これは n-層 4 s, 4 d を導入したことにより、ドレイン電界の緩和によるものである。一方 LDD 構造の場合に比べると、10% 駆動電流劣化に達する寿命は、約 3 ケタ改善されており、これは n-層 4 s, 4 d がゲート電極 3 の直下にある、L

DD 構造のようにゲート電極外側の n-層がピンチオフすることがない為である。この結果、第 7 図に示すが如く、チャンネル長  $0.25\mu\text{m}$  の微細な MOS 形トランジスタにおいても、従来の LDD、単一 S/D 構造のトランジスタが 3V の電源電圧も保証できないのに対し、十分に 3.8V 以上の電源電圧が保証される。さらに、MOS 形トランジスタの微細化につれ、ゲート絶縁膜が 10nm 以下に薄くなると、高ドレイン電圧印加時のオフ状態 ( $V_g=0V$ ) でのバンド-バンド間トンネルに帰因するドレインリーク電流が、特に従来の単一 S/D 構造で問題となり、第 8 図に示すように、3.3V 電源においても  $3\text{pA}/\mu\text{m}$  以上となり、待機時消費電流の増大を招き、もはや実デバイスへの適用は難しい。一方、第 8 図に示すように、 $0.05\mu\text{m}$  の非常に薄い側壁を設けることで、このドレインリーク電流は、若干減少し、さらに、n-大傾角注入をすることで、実用上十分なレベルにまで低減する。例えば、3.3V 電源においては、測定限界以上の  $0.01\text{pA}/\mu\text{m}$  以下と単一 S/D 構造の場合と比べて本発明の一実施

例においては、約 2 ケタ半以上の改善が見られる。これにより、低消費電力を有する高性能デバイスが実現でき、特に CMOS 集積回路において有用である。なお本実施例は、n チャンネル MOS 形トランジスタに関するものであるが、本発明の方法は p チャンネル MOS 形トランジスタにも適用できることは言うまでもない。以上のように本発明によれば、n-層をゲート電極に対して対称形状に形成することにより MOS 形トランジスタにおいて同一のトランジスタ特性を得ることができる。さらに、大傾角イオン注入法によって n-層の全部分をゲート電極直下に形成することができ、従来の LDD 構造 MOS 形トランジスタに比べ、高性能と高信頼性の両方を同時に満たすことができるなど、実用的に極めて有望である。

#### (実施例 2)

第 9 図は本発明の第 2 の実施例における MOS 形トランジスタの製造方法を示す工程断面図であり、p チャンネル MOS 形トランジスタに関するものである。以下、第 9 図を用いて本発明の第 2

の実施例における p チャンネル MOS 形トランジスタの製造方法を説明する。まず、n 形半導体基板または n ウェル 8 のトランジスタ形成領域に埋込みチャンネルとなる p 形不純物拡散層 9 を形成した後、ゲート絶縁膜 2 の形成を行ない、ポリシリコン膜を堆積した後、エッチングしてゲート電極 3 を形成する (第 9 図(a))。次に、EPS 領域 (n+層) 10 s, 10 d を形成するため、ゲート電極 3 をマスクとして低濃度イオン注入を行ない n+不純物層 10 s, 10 d (ここでは不純物としてリンを打ち込み n+層を形成する) を形成する (第 9 図(b))。ここで不純物がゲート絶縁物 2 下へ大きく入り込むように、半導体基板表面に対して垂直な方向とイオン注入方向からなるイオン注入角度  $\theta$  を  $20^\circ \sim 45^\circ$  にして打ち込む。まず、チャンネル幅方向には垂直で、チャンネル長方向にはソース方向に入り込むように傾けて半導体基板表面に打ち込み (第 9 図(b)の実線の矢印 A)、次にもう一方のドレイン方向に入り込むように傾けて打ち込み (第 9 図(b)破線の矢印 A')、所望の不純物イオン注入量

を達成する(第9図(b))。その後CVD-SiO<sub>2</sub>膜16を形成し(第9図(c))、CVD-SiO<sub>2</sub>膜16を異方性エッチングし、平坦部に形成されたCVD-SiO<sub>2</sub>膜16を除去し、ゲート電極3の周辺部にCVD-SiO<sub>2</sub>膜16によるサイドウォール17を形成する(第9図(d))。その後、ソース及びドレイン領域であるp<sup>+</sup>層11s, 11dを形成するためにサイドウォール17を有するゲート電極3をマスクとして、BF<sub>3</sub>をイオン注入する(第9図(e))。ここで不純物のゲート絶縁膜2下へ入り込む量を少なくし、かつ注入時のチャネリング効果を防止するために、イオン注入角度を、半導体表面に対して垂直な方向を、イオン注入方向に対して7°傾けて、ソース及びドレイン方向の両側から均等に入り込むように打ち込む(第9図(e)の実線の矢印B)。サイドウォール17の横方向幅は、サイドウォール17を有するゲート電極3即ち、イオン注入Bの為のマスク端からのp<sup>+</sup>層11s, 11dの入り込み量(短時加熱1000℃, 10秒の熱処理工程の場合、約0.1μm)よりも、サイドウォール17幅のプロセス変動分等を見込ん

で小さくし、ソース及びドレイン領域11s, 11dとゲート電極3のオーバーラップが無くならないようにする。ここでは、0.05μmのサイドウォール17幅としているため、通常のプロセス変動を見込んだ最悪の場合でも、ソース及びドレイン領域11s, 11dとゲート電極3のオーバーラップは確保される。この為、E P S構造の欠点であるソース及びドレイン領域が場合によってゲート電極3外に位置し、その結果起こるゲート電極3外に形成されたゲート直下外のチャンネル領域のピンチオフ等の可能性がなく、高性能及び高信頼性が同時に達成できる改善効果が期待できる。ところで、p<sup>+</sup>層11s, 11dの不純物であるB(ボロン)はその拡散係数が大きく、例えば、本実施例のように、前記熱処理として、短時加熱炉による熱処理(例えば1000℃, 10秒)を行なった場合でも、p<sup>+</sup>層11s, 11dのサイドウォール7端からの入り込みは、約0.1μmに達する。パンチスルー現象を有効に抑制する為には、約0.05μm以上の横幅を持つ、n<sup>+</sup>層10s, 10dが必要であり、本実施例のように、0.05μm幅

のサイドウォール17を用いた場合には、ゲート電極3端からのn<sup>+</sup>層10s, 10dの入り込みが0.10μm以上ないと、効果的にパンチスルー現象を抑えることができない。第3図のn層入り込み量L<sub>10</sub>のイオン注入角度依存性より、80KeVのイオン注入エネルギーの場合、7°の通常の注入角度では、L<sub>10</sub>が約0.07μmであり、この結果n<sup>+</sup>層10s, 10dはp<sup>+</sup>層11s, 11dによって捕獲されて消滅してしまう。一方、本実施例のように、25°にてイオン注入を行なうと、L<sub>10</sub>は約0.12μmと大きく増加している。大傾角イオン注入法のこのような能力が、従来のE P S構造に較べて非常に薄いサイドウォールの場合でも実用的に十分長いE P S(n<sup>+</sup>)層10s, 10dが形成できる理由である。次に第9図の実施例により実際に試作したM O S形トランジスタにおける実験結果例を示す。ここでn<sup>+</sup>層形成のためのP(リン)イオン注入における注入角度、注入エネルギー及び注入ドーズ量はそれぞれ25°, 90KeV, 2×10<sup>13</sup>cm<sup>-2</sup>であった。また、p<sup>+</sup>ソース/ドレイン形成のためのBF<sub>3</sub>のイオン注入における注入エ

ネルギー及び注入ドーズ量は、それぞれ40KeV, 3×10<sup>13</sup>cm<sup>-2</sup>であり、p<sup>+</sup>層形成後の熱処理1000℃, 10秒後のp<sup>+</sup>層接合深さは0.2μmであった。また埋め込みチャンネル9形成のためのBF<sub>3</sub>のイオン注入における注入エネルギー及び注入ドーズ量は、それぞれ50KeV, 1.7×10<sup>13</sup>cm<sup>-2</sup>であり、上記短時熱処理後の埋め込みチャンネル深さは約0.17μmである。その結果、第9図(b)に示すように大傾角イオン注入A, A'によって、ソース及びドレイン領域11s, 11dに近接して、埋込みチャンネル領域9の下部の一部を含む如く、n<sup>+</sup>高濃度不純物層10s, 10dが形成され、その横方向長さ及び最大不純物濃度は、各々約0.07μm, 約1.5×10<sup>17</sup>cm<sup>-3</sup>が実現できる。第10図(a), (b)にそれぞれ、M O S形トランジスタのしきい値電圧V<sub>t</sub>及びサブスレッシユホールド・スウィングSのゲート長依存性を、本発明の一実施例にかかる構造及び従来の構造のものについて示す。ここで従来の構造のものは、n<sup>+</sup>層形成のためのイオン注入が無く、従ってn<sup>+</sup>層は存在せず、ソース/ドレイン形成後の熱処理は、本発明の一実

施例の場合と同一にしてある。従来の構造の場合には、ゲート長が短くなるにつれ著しいパンチスルーが起こっており、デバイスとして十分使用に耐えうる最小ゲート長は約 $1\mu\text{m}$ 程度である。一方、本発明の一実施例にかかるMOS形トランジスタにおいてはゲート長が $0.4\mu\text{m}$ (ゲート/ソース及びゲート/ドレイン間のオーバーラップは $0.05\mu\text{m}$ なので、このときのチャンネル長は $0.3\mu\text{m}$ )においても、いまだ長チャンネルのトランジスタ特性を維持しており、著しくパンチスルー耐圧が向上していることがわかる。これは、大傾角注入法によって導入したEPS領域( $n^+$ 層)10s, 10dが存在することにより、ドレイン領域からのポテンシャルの伸びが効果的に抑制されたためである。第11図にチャンネル長が $0.3\mu\text{m}$ の本発明の一実施例にかかるMOS形トランジスタの飽和電流特性を示す。チャンネル長が $0.3\mu\text{m}$ と非常に微細な場合でも例えば、小さいチャンネルコンダクタンス等に見られる様に、長チャンネルの場合と同様の優れた特性を示している。さらに、 $135\text{mS}/\text{mm}$ と高いト

ランスコンダクタンスが得られることがわかる。これに対して、従来例の厚いサイドウォールを有したEPS構造のMOS形トランジスタと同じゲート電極長さ $0.4\mu\text{m}$ において比較すると、EPS構造のチャンネル長が $0.4\mu\text{m}$ と長い分だけ低いトランスコンダクタンスしか得られない。さらに、本発明の一実施例にかかるMOS形トランジスタは、チャンネル長が $0.3\mu\text{m}$ と小さく、また、比較的高濃度の $n^+$ 層が存在しているにもかかわらず、約10V以上のドレイン耐圧を保持していることも第11図よりわかる。以上のように第2の実施例によれば、EPS領域( $n^+$ 層)をゲート電極に対して対称形状に形成することより、MOS形トランジスタにおいて同一のトランジスタ特性を得ることができる。さらに大傾角イオン注入法によって、ゲート電極と $p^+$ ソース及びドレイン領域のオーバーラップ長さを十分確保しつつも、上記ソース及びドレイン領域に近接してEPS領域( $n^+$ 層)を形成することができ、従来の単一ソース/ドレイン構造やEPS構造のMOS形トランジスタに比べ、高

性能と高パンチスルー耐圧を同時に満たすことができる等、実用的に極めて有望である。なお、第2の実施例は $p$ チャンネルMOS形トランジスタに関するものであるが、本実施例の方法は $n$ チャンネルMOS形トランジスタにも適用できることは言うまでもない。

#### 発明の効果

以上述べてきたように、本発明によれば、きわめて簡単な製造方法及び、従来構造のMOS形トランジスタに較べて非常に薄いサイドウォールを用いることによって、高性能と高信頼性を有するMOS形トランジスタを実現できる。

#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例におけるMOS形トランジスタの製造方法を示す工程断面図。第2図は本発明の第1の実施例におけるMOS形トランジスタのシリコン基板表面の計算結果による不純物プロファイルとそれに対応する模式断面図。第3図は本発明の一実施例の計算結果によるMOS形トランジスタにおける $n^+$ 層のイオン注入用マ

スク端からの入り込み距離のイオン注入角度依存性を示す図。第4図は従来および本発明の一実施例の実験結果によるMOS形トランジスタの飽和電流特性図。第5図は従来および本発明の一実施例の実験結果によるMOS形トランジスタを用いたリングオシレータのゲート遅延時間特性図。第6図は従来および本発明の一実施例の実験結果によるMOS形トランジスタのホットキャリアによるドレイン電流の劣化特性図。第7図は従来および本発明の一実施例の実験結果によるMOS形トランジスタのホットキャリアによるドレイン電流劣化率が10%になる場合の素子寿命特性図。第8図は従来および本発明の一実施例の実験結果によるMOS形トランジスタのゲート電圧0V下におけるドレインリーク電流特性図。第9図は本発明の第2の実施例におけるMOS形トランジスタの製造方法を示す工程断面図。第10図は従来及び本発明の一実施例の実験結果によるMOS形トランジスタのしきい値電圧及びサブスレッシュホールドスウィングのゲート長依存性を示す図。第11図は

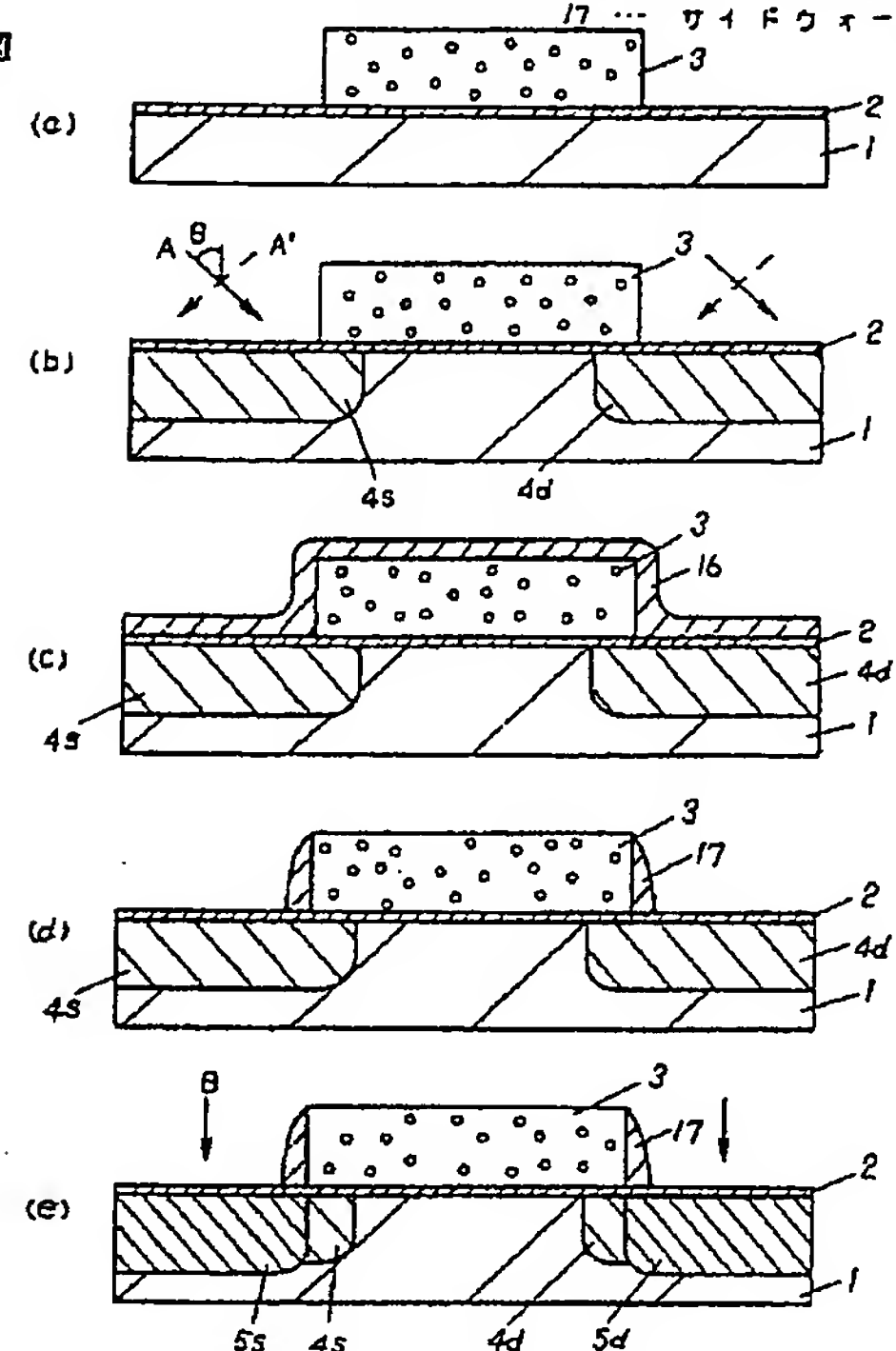
本発明の一実施例の実験結果によるMOS形トランジスタの飽和電流特性図 第12図は従来のLDD構造のMOS形トランジスタの製造方法を示す工程断面図 第13図は従来のEPPS構造のMOS形トランジスタの製造方法を示す工程断面図である。

1・・・P形半導体基板 2・・・ゲート絶縁膜  
3・・・ゲート電極 4s・・・第1のソース領域(n-層)  
4d・・・第1のドレイン領域(n-層) 5s・・・第2のソース領域(n+層)  
5d・・・第2のドレイン領域(n+層) 8・・・nウェル 9・・・P形不純物拡散層  
10s, 10d・・・EPPS領域(n+層) 11s・・・ソース領域(p+層) 11d・・・ドレイン領域(p+層)  
16・・・CVD-SiO<sub>2</sub>膜 17・・・サイドウォール

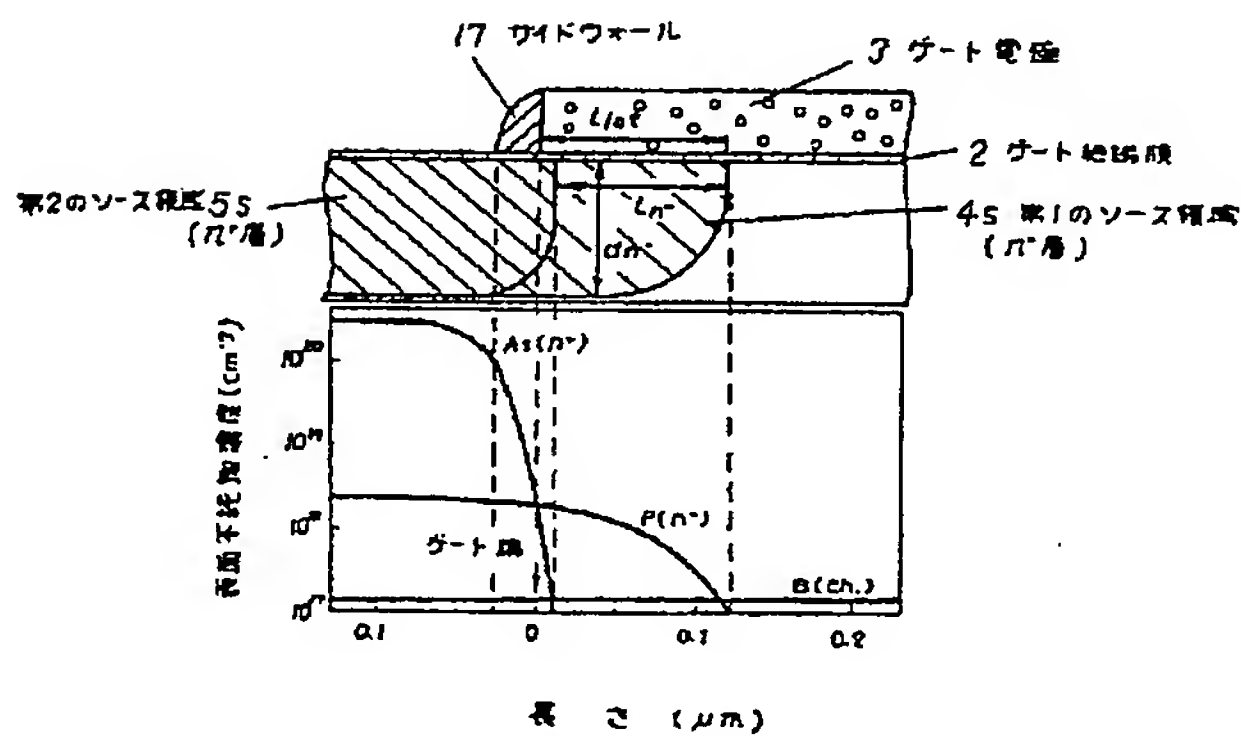
代理人の氏名 弁理士 栗野重孝 ほか1名

1・・・P形半導体基板 4s・・・第1のソース領域(n-層)  
2・・・ゲート絶縁膜 5d・・・第2のドレイン領域(n+層)  
3・・・ゲート電極 5s・・・第2のソース領域(n+層)  
4d・・・第1のドレイン領域(n-層) 16・・・CVD-SiO<sub>2</sub>膜  
17・・・サイドウォール

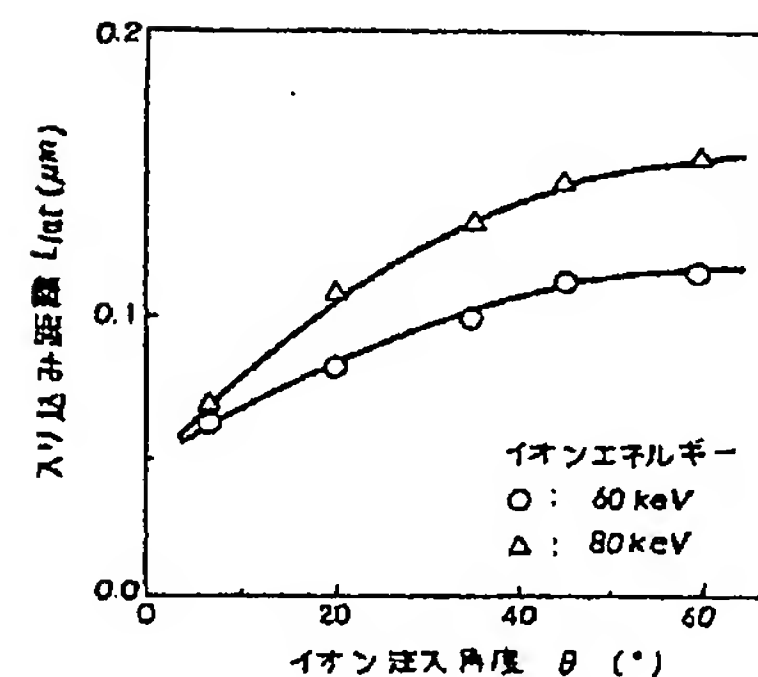
第1図



第2図

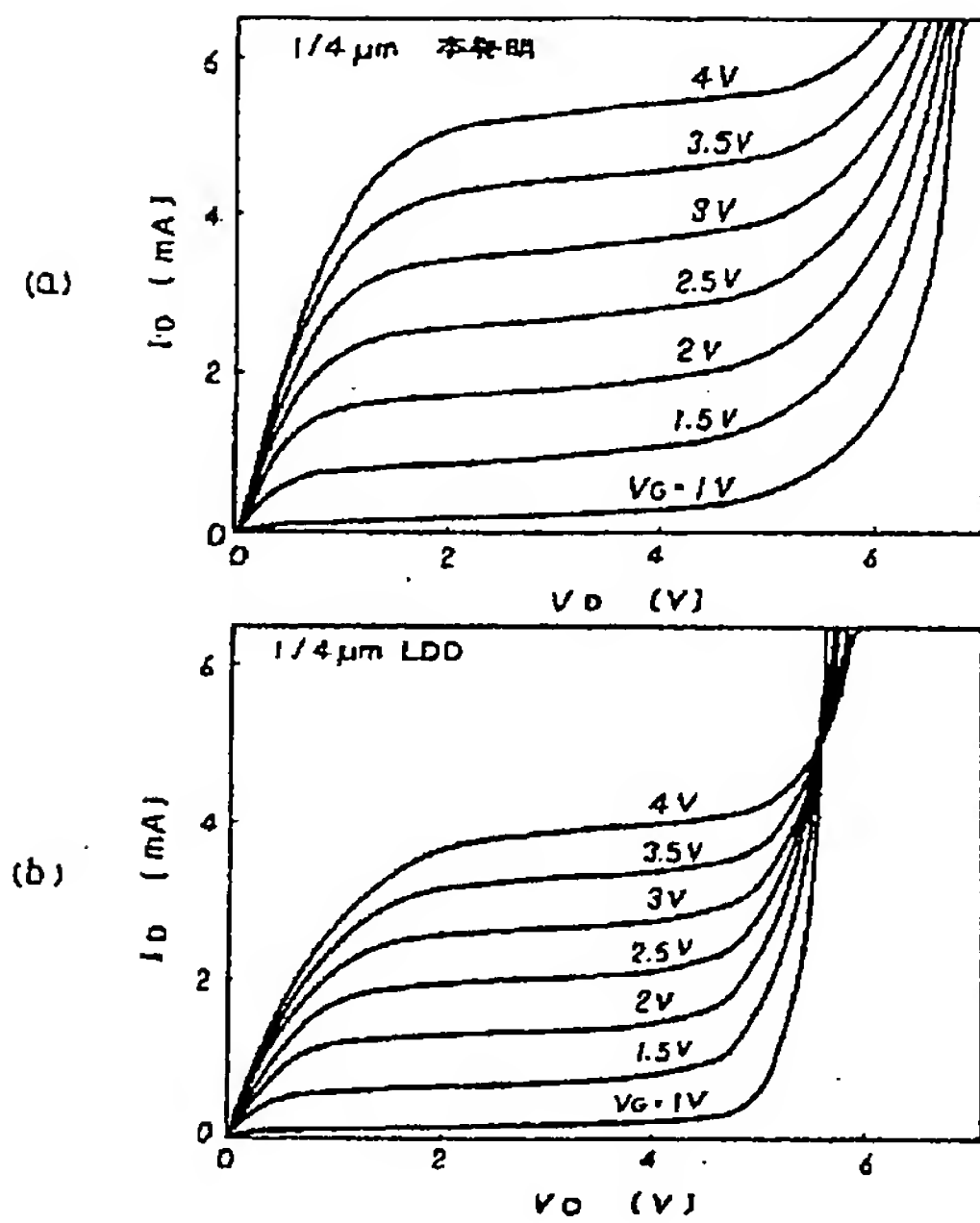


第3図

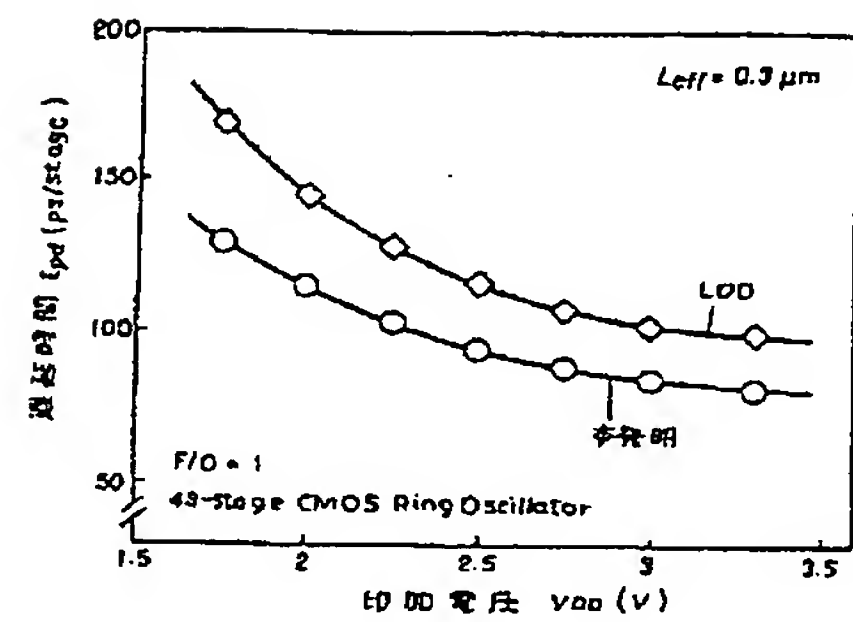




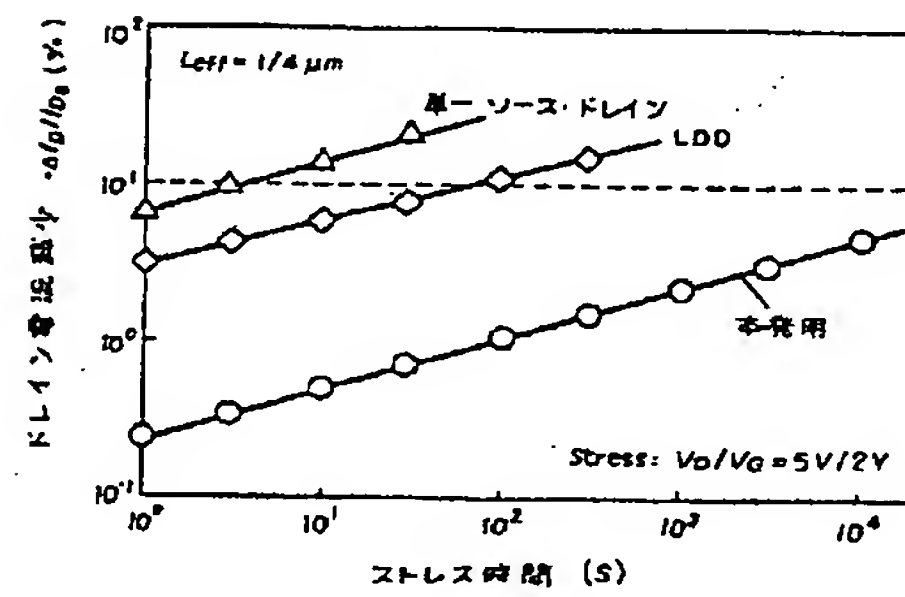
第 4 図



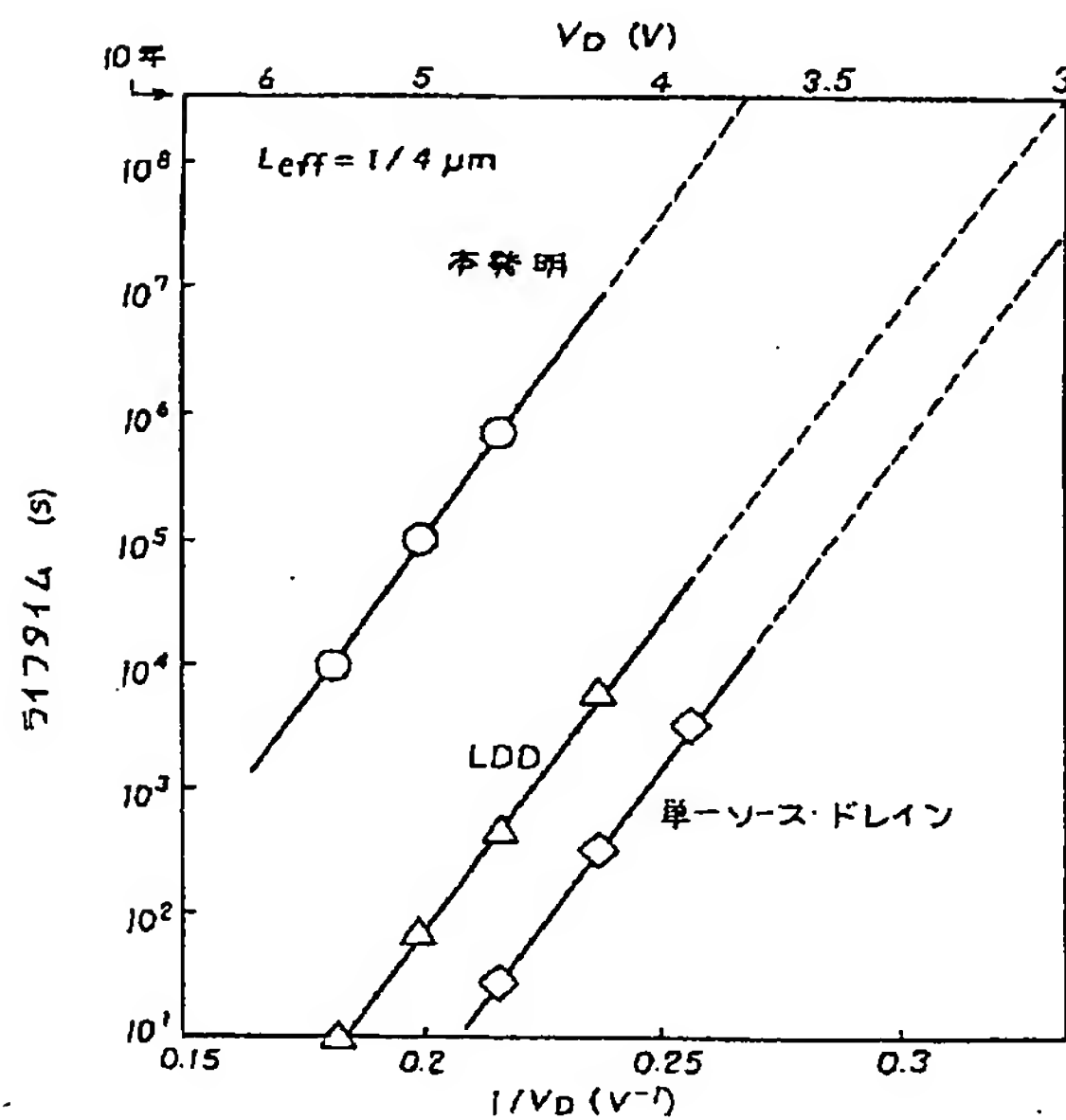
第 5 図



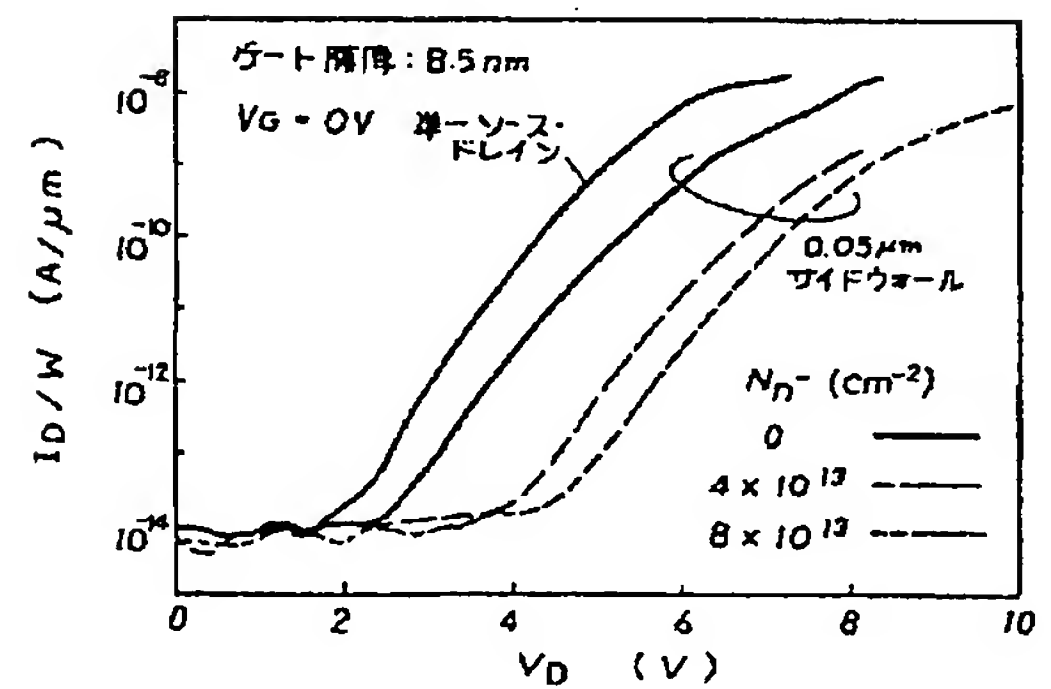
第 6 図



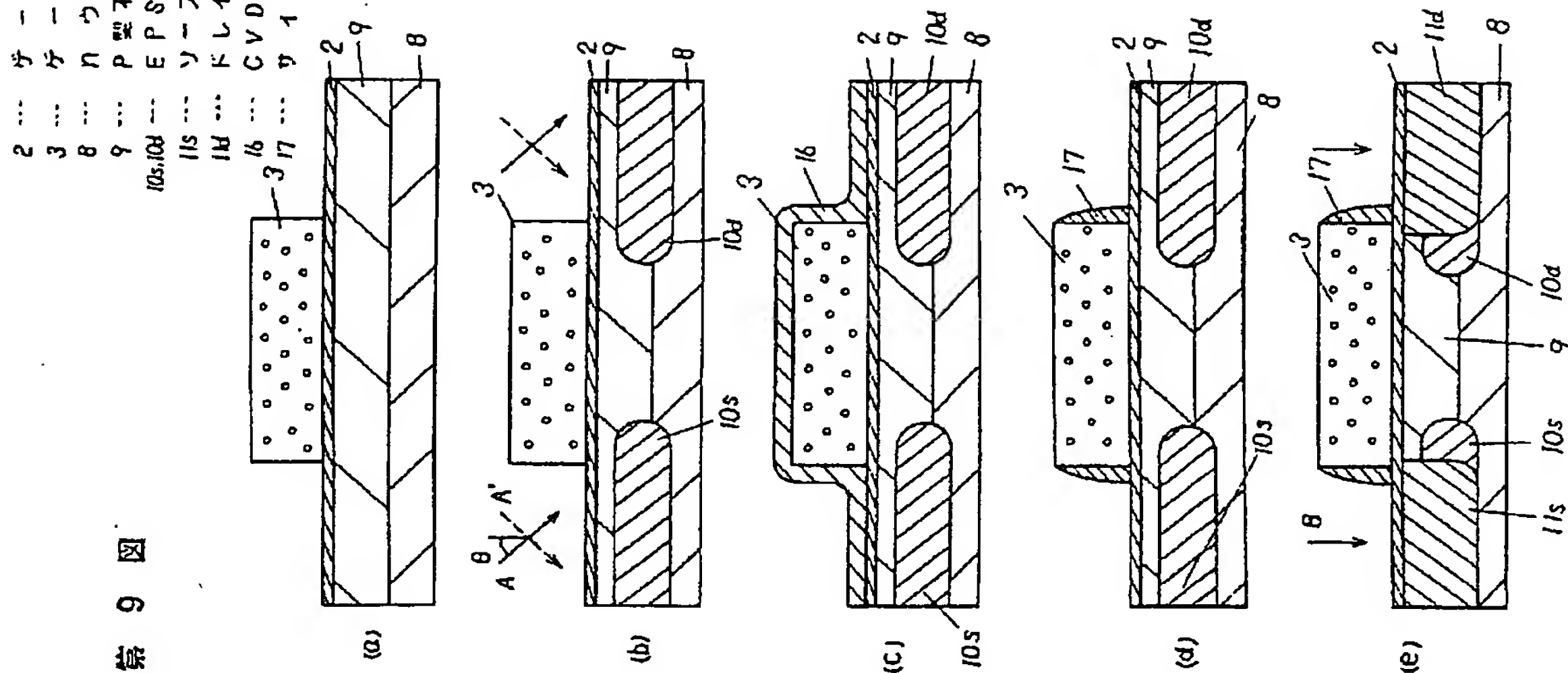
第 7 図



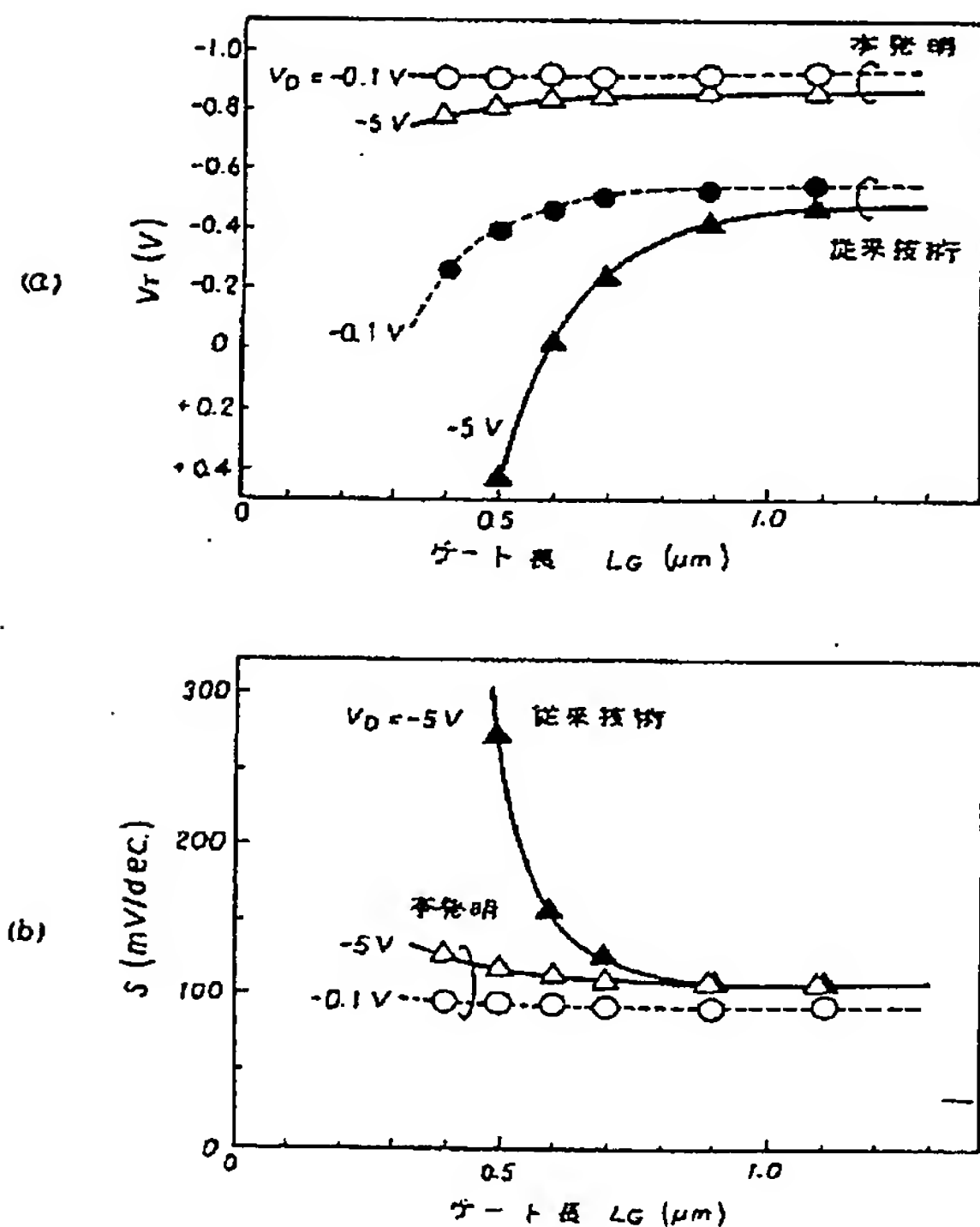
第 8 図



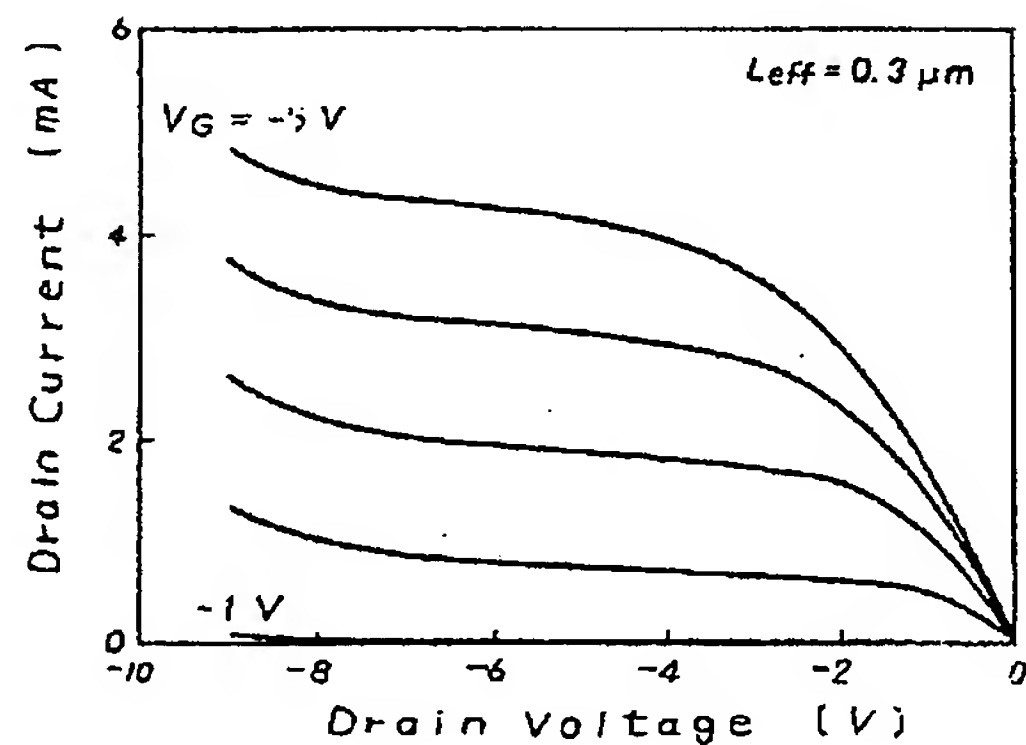
2	ゲート	地盤	所
3	ゲート	電極	
8	ゲート	エ	
9	ゲート	エ	
10	ゲート	エ	
11	ゲート	エ	
12	ゲート	エ	
13	ゲート	エ	
14	ゲート	エ	
15	ゲート	エ	
16	ゲート	エ	
17	ゲート	エ	
18	ゲート	エ	
19	ゲート	エ	
20	ゲート	エ	
21	ゲート	エ	
22	ゲート	エ	
23	ゲート	エ	
24	ゲート	エ	
25	ゲート	エ	
26	ゲート	エ	
27	ゲート	エ	
28	ゲート	エ	
29	ゲート	エ	
30	ゲート	エ	
31	ゲート	エ	
32	ゲート	エ	
33	ゲート	エ	
34	ゲート	エ	
35	ゲート	エ	
36	ゲート	エ	
37	ゲート	エ	
38	ゲート	エ	
39	ゲート	エ	
40	ゲート	エ	
41	ゲート	エ	
42	ゲート	エ	
43	ゲート	エ	
44	ゲート	エ	
45	ゲート	エ	
46	ゲート	エ	
47	ゲート	エ	
48	ゲート	エ	
49	ゲート	エ	
50	ゲート	エ	
51	ゲート	エ	
52	ゲート	エ	
53	ゲート	エ	
54	ゲート	エ	
55	ゲート	エ	
56	ゲート	エ	
57	ゲート	エ	
58	ゲート	エ	
59	ゲート	エ	
60	ゲート	エ	
61	ゲート	エ	
62	ゲート	エ	
63	ゲート	エ	
64	ゲート	エ	
65	ゲート	エ	
66	ゲート	エ	
67	ゲート	エ	
68	ゲート	エ	
69	ゲート	エ	
70	ゲート	エ	
71	ゲート	エ	
72	ゲート	エ	
73	ゲート	エ	
74	ゲート	エ	
75	ゲート	エ	
76	ゲート	エ	
77	ゲート	エ	
78	ゲート	エ	
79	ゲート	エ	
80	ゲート	エ	
81	ゲート	エ	
82	ゲート	エ	
83	ゲート	エ	
84	ゲート	エ	
85	ゲート	エ	
86	ゲート	エ	
87	ゲート	エ	
88	ゲート	エ	
89	ゲート	エ	
90	ゲート	エ	
91	ゲート	エ	
92	ゲート	エ	
93	ゲート	エ	
94	ゲート	エ	
95	ゲート	エ	
96	ゲート	エ	
97	ゲート	エ	
98	ゲート	エ	
99	ゲート	エ	
100	ゲート	エ	



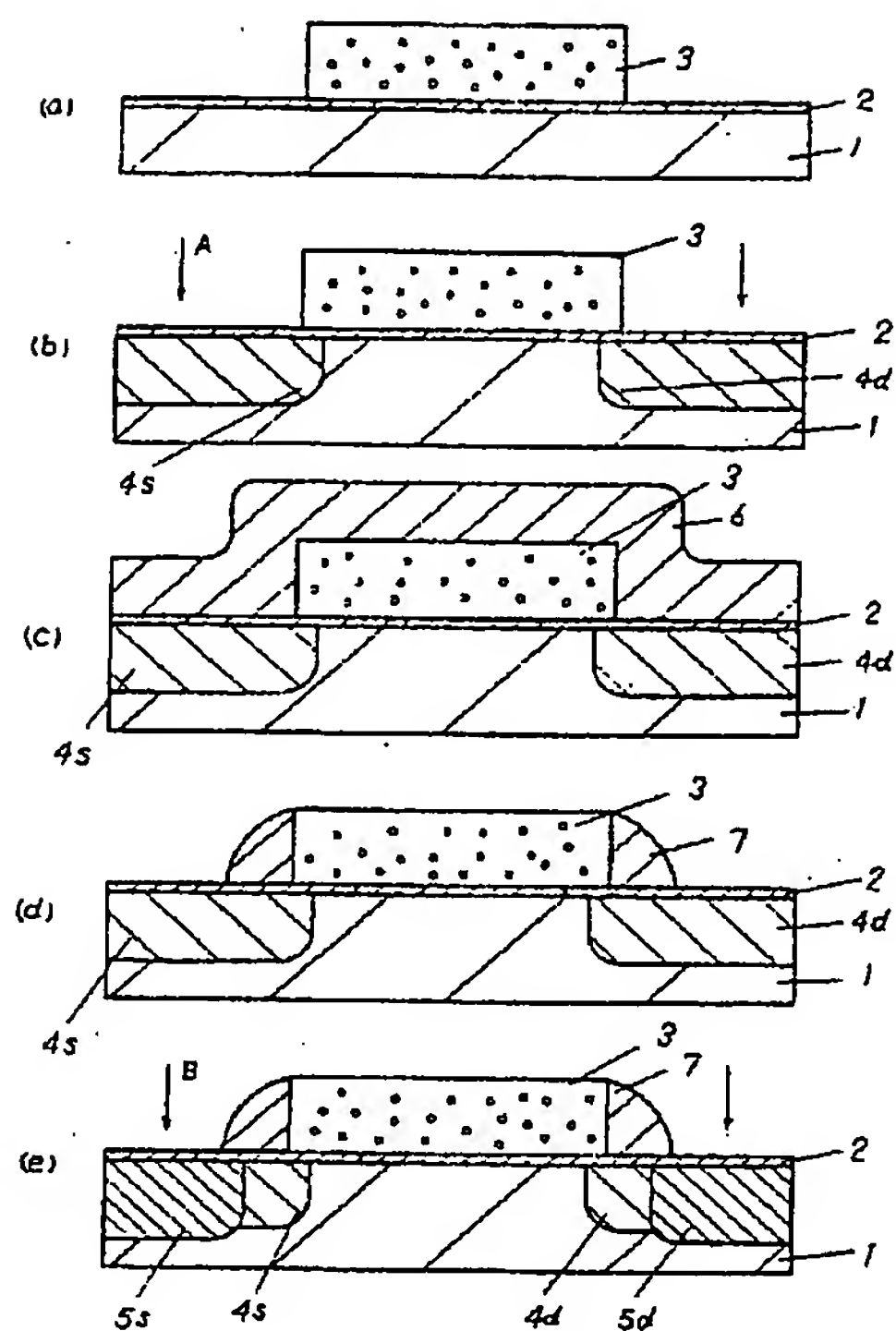
第 10 図



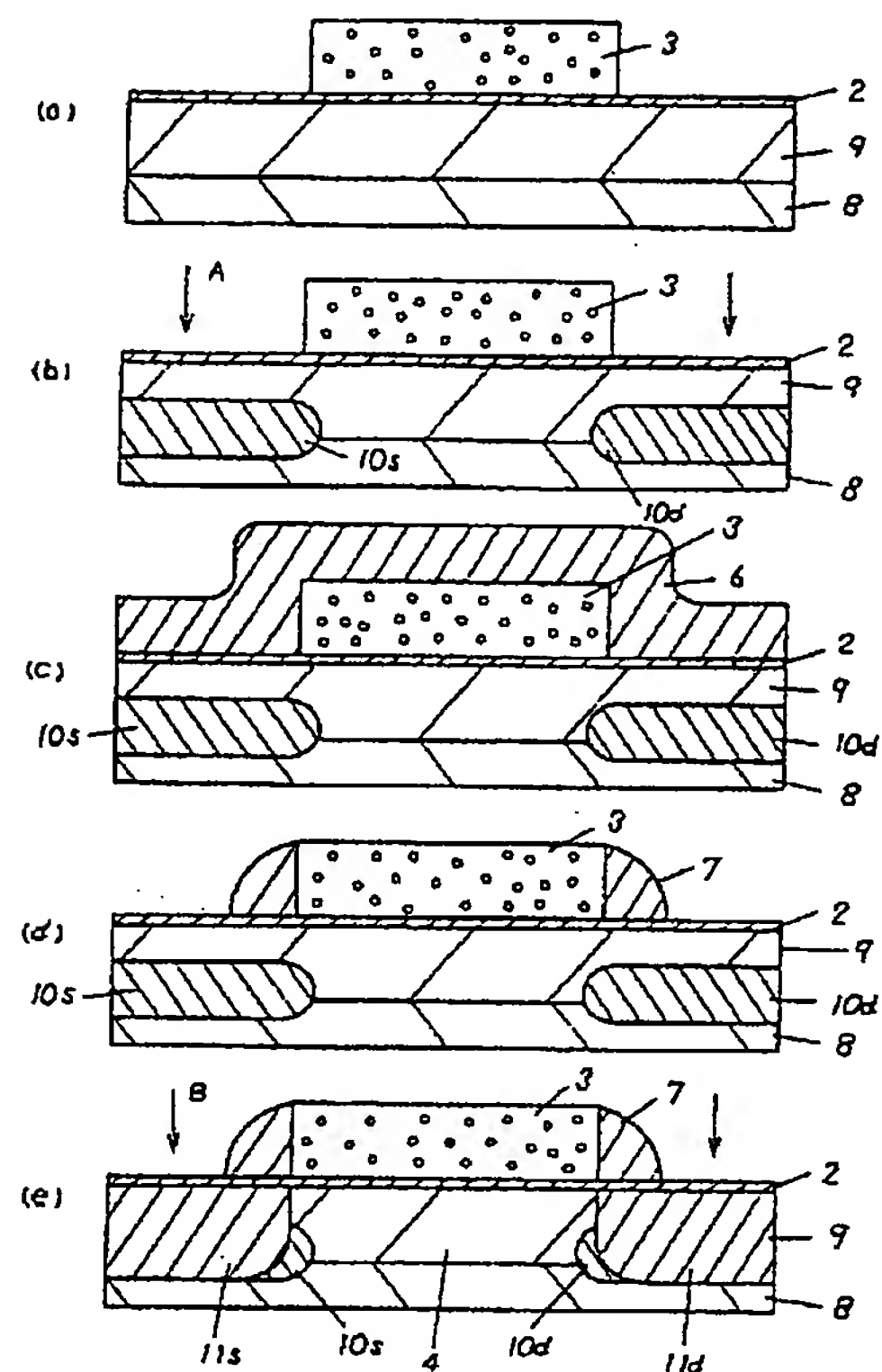
第 1 1 図



第 1 2 図



第 1 3 図



**THIS PAGE BLANK (USPTO)**